

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-084396

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

H04L 27/22
H04L 7/027
H04L 27/38

(21)Application number : 08-238869

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.09.1996

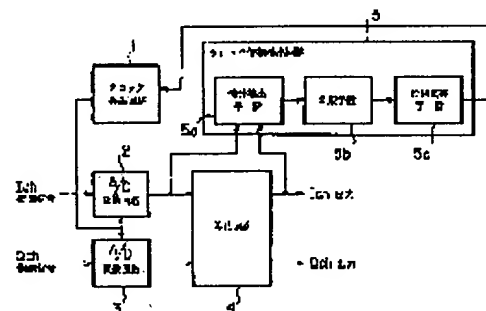
(72)Inventor : ONIYANAGI HIROYUKI
TSUNOISHI MITSUO
IWAMATSU TAKANORI

(54) CLOCK PHASE DETECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly and stably correct a phase of a clock signal fed to an A/D converter section even when a deep phasing takes place with respect to a clock phase detection circuit provided to a reception section of a multiplex radio equipment.

SOLUTION: A difference detection means 5a detects a difference between an input signal and an output signal of an equalizing circuit 4 and a square means 5b squares the difference. Since the obtained square value is a minimum value when the phase of the clock signal outputted from a clock recovery circuit 1 is in matching with a normal signal point, a phase adjustment means 5c outputs a control signal to the clock recovery circuit 1 while monitoring the square value so as to adjust the phase of the clock signal outputted from the clock recovery circuit 1 thereby minimizing the square value outputted from the square means 5b.



LEGAL STATUS

[Date of request for examination]

23.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3404228

[Date of registration]

28.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

1

【特許請求の範囲】

【請求項 1】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化处理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の入力信号と出力信号との差分を検出する差分検出手段と、

前記差分検出手段が検出した差分を 2 乗する 2 乗手段と、

前記 2 乗手段の出力値が最小になるように、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 2】 前記位相調整手段は、

前記 2 乗手段の出力値の、クロック位相変化に対する微分値を求める微分手段と、

前記微分手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する調整手段と、

を含むことを特徴とする請求項 1 記載のクロック位相検出回路。

【請求項 3】 前記位相調整手段は、

前記 2 乗手段の出力値の、クロック位相変化に対する微分値を求める微分手段と、

前記微分手段の出力値と前記 2 乗手段の出力値とを乗算する乗算手段と、

前記乗算手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する調整手段と、

を含むことを特徴とする請求項 1 記載のクロック位相検出回路。

【請求項 4】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化处理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の入力信号と出力信号との差分を検出する差分検出手段と、

前記差分検出手段が検出した差分を絶対値化する絶対値化手段と、

前記絶対値化手段の出力値が最小になるように、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 5】 前記位相調整手段は、

2

前記絶対値化手段の出力値の、クロック位相変化に対する微分値を求める微分手段と、

前記微分手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する調整手段と、

を含むことを特徴とする請求項 4 記載のクロック位相検出回路。

【請求項 6】 前記位相調整手段は、

前記絶対値化手段の出力値の、クロック位相変化に対する微分値を求める微分手段と、

10 前記微分手段の出力値と前記絶対値化手段の出力値とを乗算する乗算手段と、

前記乗算手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する調整手段と、

を含むことを特徴とする請求項 4 記載のクロック位相検出回路。

【請求項 7】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化处理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の一方のチャンネルの入力信号と、直交干渉成分をキャンセルする前の前記一方チャンネル用の FIR フィルタの出力信号との差分を検出する差分検出手段と、

前記差分検出手段が検出した差分を 2 乗する 2 乗手段

と、

前記 2 乗手段の出力値が最小になるように、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 8】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化处理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の一方のチャンネルの入力信号と、直交干渉成分をキャンセルする前の前記一方チャンネル用の FIR フィルタの出力信号との差分を検出する差分検出手段と、

前記差分検出手段が検出した差分を絶対値化する絶対値化手段と、

前記絶対値化の出力値が最小になるように、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

50

を有することを特徴とするクロック位相検出回路。

【請求項 9】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化処理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の所定の 2 つのタップ係数を取り出し、それらの絶対値を合算する合算手段と、

前記合算手段が合算した合算値が最小になるように、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 1 0】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化処理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の所定の 2 つのタップ係数を取り出し、それらの絶対値を合算する合算手段と、

前記合算手段が算出した合算値と、所定の平均値との差分を算出する差分算出手段と、

前記差分算出手段の出力値の時間的平均化を行い、前記所定の平均値を出力する平均化手段と、

前記差分算出手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 1 1】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化処理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の入力信号と出力信号との差分を検出する差分検出手段と、

前記差分検出手段が検出した差分を 2 乗または絶対値化する算術手段と、

前記算術手段の出力値の、クロック位相変化に対する微分値を求める微分手段と、

前記等化回路の所定の 2 つのタップ係数を取り出し、それらの絶対値を合算する第 1 の合算手段と、

前記第 1 の合算手段が算出した合算値と、所定の平均値との差分を算出する差分算出手段と、

前記差分算出手段の出力値と、前記微分手段の出力値とを合算する第 2 の合算手段と、

前記第 2 の合算手段の出力値の時間的平均化を行い、前記所定の平均値を出力する平均化手段と、

前記差分算出手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 1 2】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化処理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の入力信号と出力信号との差分を検出する差分検出手段と、

前記差分検出手段が検出した差分を 2 乗または絶対値化する算術手段と、

前記算術手段の出力値の、クロック位相変化に対する微分値を求める微分手段と、

前記等化回路の所定の 2 つのタップ係数を取り出し、それらの絶対値を合算する合算手段と、

前記微分手段の出力値および前記合算手段の出力値のうちの一方を、同期状態に応じて選択して前記クロック再生回路へ出力し、前記クロック再生回路の出力するクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 1 3】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化処理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック位相検出回路において、

前記等化回路の所定の 2 つのタップ係数を取り出し、それらのうちの一方のタップ係数に対して除算を施す除算手段と、

前記等化回路から取り出された所定の 2 つのタップ係数のうちの他方のタップ係数の絶対値と、前記除算手段から出力された値の絶対値とを合算する合算手段と、

前記合算手段が算出した合算値と、所定の平均値との差分を算出する差分算出手段と、

前記差分算出手段の出力値の時間的平均化を行い、前記所定の平均値を出力する平均化手段と、

前記差分算出手段の出力値に基づき、前記クロック再生回路から出力されるクロック信号の位相を調整する位相調整手段と、

を有することを特徴とするクロック位相検出回路。

【請求項 1 4】 前記等化回路から取り出される所定の 2 つのタップ係数は、中心のタップ係数 α_0 に隣接するタップ係数 α_{+1} 、 α_{-1} であることを特徴とする請求項 1

3 記載のクロック位相検出回路。

【請求項 1 5】 前記等化回路から取り出される所定の 2 つのタップ係数は、中心のタップ係数 α_0 から離れたタップ係数 α_{-n} 、 α_n ($n = 2, 3, 4, \dots$) であることを特徴とする請求項 1 3 記載のクロック位相検出回路。

【請求項 1 6】 後方タップ係数と前方タップ係数との間のバランスの崩れの有無を監視し、当該バランスの崩れが存在するときのみ、前記除算手段を作動させる作動制御手段を、さらに有することを特徴とする請求項 1 3 記載のクロック位相検出回路。

【請求項 1 7】 非同期状態のときには、前記他方のタップ係数を前記合算手段へ入力させないようにする制御手段を、さらに有することを特徴とする請求項 1 3 記載のクロック位相検出回路。

【請求項 1 8】 クロック信号を再生するクロック再生回路と、多値直交復調信号を、前記クロック再生回路から供給されたクロック信号のタイミングでデジタル値に変換する A/D 変換回路と、当該 A/D 変換回路の出力デジタル値に対して等化处理を行う等化回路とから構成される多重無線装置の受信部に設けられたクロック

位相検出回路において、前記等化回路の一方のチャンネルの入力信号と出力信号との差分を検出する差分検出手段と、

前記等化回路の前記一方のチャンネルの入力信号の傾きを検出する傾き検出手段と、

前記差分検出手段および前記傾き検出手段の各出力から A/D 変換用クロックの位相成分を演算する演算手段と、

前記等化回路の前記一方のチャンネルの入力信号および他方のチャンネルの入力信号に基づき、前記演算手段の出力値が信頼できる信号であるかを判定する判定手段と、前記判定手段によって信頼できると判定されたときのみ、前記演算手段の出力値を前記クロック再生回路へ出力する出力手段と、

を有することを特徴とするクロック位相検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クロック位相検出回路に関し、特に、多重無線装置の受信部に設けられるクロック位相検出回路に関する。

【0002】 一般に、多重無線装置の受信部にはクロック再生回路が設けられる。クロック再生回路は B I T (Bit Timing Recovery) と呼ばれ、通常、P S K (Phase Shift Keying) や Q A M (Quadrature Amplitude Modulation) などによる多値直交変調信号を復調した信号からクロック成分を再生して、これを、主に受信データを識別する識別器 (A/D 変換器) に対して、サンプリングクロックとして供給する。

【0003】 ここで、このクロック再生回路にて再生されるクロックは、復調信号のレベルを識別すべきタイミ

ングと位相が正確に一致していなければならないが、温度変化等による回線状況の変動によって、再生クロックに位相ずれが生じてしまうことがある。

【0004】 そこで、クロック再生回路にて再生されるクロックの位相補正を行う必要があるが、この補正のためには、クロックの位相ずれを高精度に検出できるクロック位相検出回路が必要となる。

【0005】

【従来の技術】 図 2 4 は、従来の多重無線装置の受信部の構成を示すブロック図である。図中、発信側の多重無線装置 (図示せず) で P S K、Q A M 等の多値直交変調が施された信号が受信側の多重無線装置に送られ、受信側の多重無線装置が、それを受信して周波数変換を施す。この周波数変換された I F 帯域の信号が直交検波部 1 0 1 に入力され、直交検波部 1 0 1 は、これを検波して互いに 90° 位相の異なる 2 種のベースバンド信号 (I c h 信号、Q c h 信号) を識別部 1 0 2、1 0 3 へ出力する。識別部 1 0 2、1 0 3 は、直交検波部 1 0 1 で復調された各信号を、所定のクロックに基づきサンプリングし、所定の識別レベルで識別してデジタル信号に変換する。等化器 1 0 4 は、識別部 1 0 2、1 0 3 から出力された各デジタル信号について等化处理を施す。

【0006】 位相成分検出部 1 0 5 は、等化器 1 0 4 の I c h の入出力信号を基に、各識別部 1 0 2、1 0 3 における信号識別のためのクロック (信号識別用クロック) の位相成分を検出し、これを積分器 1 0 6 へ出力する。積分器 1 0 6 は、位相成分検出部 1 0 5 から出力された位相成分を平均化し、位相器 1 0 7 へ位相調整用制御信号として出力する。位相器 1 0 7 は、積分器 1 0 6 から送られた位相調整用制御信号に基づき、クロック再生部 1 0 8 で生成された A/D 変換用クロックの位相を調整し、識別部 1 0 2、1 0 3 へ供給する。クロック再生部 1 0 8 は、直交検波部 1 0 1 による検波前の I F 信号を基に、A/D 変換用クロックを再生する。

【0007】 図 2 5 は位相成分検出部 1 0 5 の内部構成を示すブロック図である。図中、傾き判定部 1 1 0 は、I c h 信号の傾き、つまり I c h 信号が時間的に増加方向にあるか、減少方向にあるかを検出する。これは位相ずれの補正方向を知るためのものである。誤差検出部 1 1 1 は減算器から成り、等化器 1 0 4 の I c h の入力信号と出力信号との差を算出することで、等化器 1 0 4 の入出力信号間誤差を検出する。この誤差は位相ずれ量に対応するものである。クロック位相演算部 1 1 2 は乗算器から成り、傾き判定部 1 1 0 の出力と誤差検出部 1 1 1 の出力とを乗算し、A/D 変換用クロックの位相ずれ情報 (位相成分) を出力する。信号判定部 1 1 3 は、クロック位相演算部 1 1 2 から出力された位相ずれ情報 (位相成分) が信頼に足る情報であるかを判定するものである。すなわち、I c h 信号が単純かつ急峻な増加

状態、または単純かつ急峻な減少状態にある場合にだけ、クロック位相演算部112から出力された位相ずれ情報(位相成分)が信頼に足る情報であり、そうした状態にない場合には、クロック位相演算部112から出力された位相ずれ情報(位相成分)を、クロック再生部108で生成されたA/D変換用クロックの位相の調整に使用することは好ましくない。したがって、信号判定部113では、傾き判定部110および誤差検出部111へ入力されるIc h信号の信号点が、いわゆるアイパターン上の特定の領域(信号点の正規の位置を中心とする所定のレベル範囲)に存在するか否かを判定し、特定の領域に存在する場合には、クロック位相演算部112から出力された位相ずれ情報(位相成分)が信頼できない情報と判断する。選択部114はフリップフロップから成り、信号判定部113で、傾き判定部110および誤差検出部111へ入力されるIc h信号の信号点が、アイパターン上の特定の領域に存在しないと判定されたときだけ、A/D変換用クロックの位相ずれ情報(位相成分)を出力し、それ以外のときには前回の位相ずれ情報を出力するようにする。

【0008】

【発明が解決しようとする課題】ところで、多重無線装置の送信部と受信部との間の伝送路において深いフェージングが発生している場合、従来の多重無線装置の受信部の等化器104へ入力されたベースバンド信号の周波数スペクトラムにおいて、一般に高周波数成分が減少してしまう。このため、信号点のレベル変化が緩やかになってしまい、Ic h信号の信号点付近のアイパターン形状が比較的平らになってしまう。その結果、位相成分検出部105の信号判定部113が、Ic h信号の信号点がアイパターン上の特定の領域に存在する、という判定を下す確率が増え、選択部114が、信頼するに足る位相ずれ情報(位相成分)を出力する頻度が減少する。

【0009】そのため、深いフェージングが発生している場合に、識別部102、103へ送られるA/D変換用のクロックの位相補正が迅速に、かつ安定に行われないう問題点があった。特に、等化器104を判定帰還型等化器(DFE; Decision Feedback Equalizer)によって構成した場合に、こうした問題点が顕著になる。

【0010】本発明はこのような点に鑑みてなされたものであり、深いフェージングが発生している場合でも、識別部へ送られるA/D変換用のクロックの位相補正が迅速に、かつ安定に行われるようにしたクロック位相検出回路を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明では上記目的を達成するために、図1に示すように、クロック信号を再生するクロック再生回路1と、多値直交復調信号を、クロック再生回路1から供給されたクロック信号のタイミングでデジタル値に変換するA/D変換回路2、3と、

A/D変換回路2、3の出力デジタル値に対して等化処理を行う等化回路4とから構成される多重無線装置の受信部に、クロック位相検出回路5を設けるようにする。

【0012】このクロック位相検出回路5は、等化回路4の入力信号と出力信号との差分を検出する差分検出手段5aと、差分検出手段5aが検出した差分を2乗する2乗手段5bと、2乗手段5bの出力値が最小になるように、クロック再生回路1から出力されるクロック信号の位相を調整する位相調整手段5cとから構成される。

【0013】以上のような構成において、差分検出手段5aが、等化回路4の入力信号と出力信号との差分を検出し、その差分を2乗手段5bが2乗する。得られた2乗値は、クロック再生回路1から出力されるクロック信号の位相が正規の信号点位置に一致しているときに最小値を呈するので、位相調整手段5cは、この2乗値を監視しながらクロック再生回路1に制御信号を出力して、クロック再生回路1から出力されるクロック信号の位相を調整し、2乗手段5bの出力する2乗値が最小になるようにする。

【0014】このように、図1に示す発明では差分検出手段5aが検出した差分を全て使用してクロック再生回路1を制御するようにしており、したがって、深いフェージングが発生している場合でも、A/D変換回路2、3に送られるA/D変換用のクロック信号の位相補正が迅速に、かつ安定に行われ得る。

【0015】なお、2乗手段5bに代わって、差分検出手段5aが検出した差分を絶対値化する絶対値化手段を使用してもよく、同様な作用効果が得られる。また、本発明では上記目的を達成するために、図2に示すように、クロック信号を再生するクロック再生回路11と、多値直交復調信号を、クロック再生回路11から供給されたクロック信号のタイミングでデジタル値に変換するA/D変換回路12、13と、A/D変換回路12、13の出力デジタル値に対して等化処理を行う等化回路14とから構成される多重無線装置の受信部に、クロック位相検出回路15を設けるようにする。

【0016】このクロック位相検出回路15は、等化回路14の所定の2つのタップ係数を取り出し、それらの絶対値を合算する合算手段15aと、合算手段15aが合算した合算値が最小になるように、クロック再生回路11から出力されるクロック信号の位相を調整する位相調整手段15bとから構成される。

【0017】以上のような構成において、合算手段15aが、等化回路14の所定の2つのタップ係数を取り出し、それらの絶対値を合算する。得られた合算値は、クロック再生回路11から出力されるクロック信号の位相が正規の信号点位置に一致しているときに最小値を呈するので、位相調整手段15bは、クロック再生回路11に制御信号を出力して、クロック再生回路11から出力

されるクロック信号の位相を調整し、合算手段15aの出力する合算値が最小になるようにする。

【0018】このように、図2に示す発明では等化回路14の所定の2つのタップ係数の各絶対値の合算値を利用し、しかも合算値を全て使用してクロック再生回路11を制御するようにしており、したがって、深いフェージングが発生している場合でも、A/D変換回路12、13に送られるA/D変換用のクロック信号の位相補正が迅速に、かつ安定に行われ得る。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。まず、第1の実施の形態の原理構成を、図1を参照して説明する。第1の実施の形態は、等化回路4の入力信号と出力信号との差分を検出する差分検出手段5aと、差分検出手段5aが検出した差分を2乗する2乗手段5bと、2乗手段5bの出力値が最小になるように、クロック再生回路1から出力されるクロック信号の位相を調整する位相調整手段5cとから構成される。

【0020】図3は、第1の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。なお、図1に示した各構成と、図3の各構成との対応関係については、後述する。

【0021】図3において、発信側の多重無線装置（図示せず）でPSK、QAM等の多値直交変調が施された信号が受信側の多重無線装置に送られ、受信側の多重無線装置が、それを受信して周波数変換を施す。この周波数変換されたIF帯域の信号が直交検波部20に入力され、直交検波部20は、これを検波して互いに90°位相の異なる2種のベースバンド信号（Ic h信号、Qc h信号）をA/D変換器30、31へ出力する。A/D変換器30、31は、直交検波部20で復調された各信号を、所定のクロックに基づきサンプリングし、量子化してデジタル信号に変換する。等化器32は、適応型デジタルフィルタであるトランスバーサル等化器またはディシジョンフィードバック等化器から構成され、A/D変換器30、31から出力された各デジタル信号について等化処理を施す。

【0022】クロック位相検出部34は、等化器32のIc hの入出力信号を基にクロック位相誤差信号PEを検出し、これをクロック再生回路35へ出力する。なお、等化器32のIc hの入力信号に対して遅延回路33で遅延が行われ、等化器32のIc hの出力信号と同じ信号となるようにタイミング調整が図られる。クロック再生回路35は、詳しい図示を省略したが、送信側クロックと同じ所定のクロックを発生してA/D変換器30、31に供給する。クロック再生回路35は、クロック位相検出部34から送られたクロック位相誤差信号PEに基づき、この所定のクロックの位相を調整して、A/D変換器30、31が正規のタイミングでサンプリ

グを行うことができるようにする。

【0023】直交検波部20は、ハイブリッド21、22、位相検波器23、24、ローloffフィルタ25、26、ローカル発振器27で構成される。そして、入力されたIF信号がハイブリッド21で2分波され、それぞれが位相検波器23、24へ出力される。このとき、ローカル発振器27から、搬送波に位相同期した搬送波再生信号がハイブリッド22に出力されており、この搬送波再生信号がハイブリッド22で、それぞれ位相が90°だけ異なる2波に分波されて各位相検波器23、24へ出力されるようになっている。

【0024】この結果、各位相検波器23、24では互いに位相の90°異なるベースバンド信号（Ic h信号、Qc h信号）が得られる。これらのIc h信号、Qc h信号をそれぞれローloffフィルタ25、26を通してA/D変換器30、31へ出力してA/D変換を施すことにより、互いに位相の90°異なるデジタル復調信号が得られる。

【0025】クロック再生回路35は、D/A変換器36、ラグリードフィルタ37、クロック発振器（VCXO）38で構成される。クロック位相検出部34から送られたクロック位相誤差信号PEをD/A変換器36がアナログ信号に変換し、ラグリードフィルタ37が平均化する。クロック発振器38はクロック信号を発生し、その位相を、ラグリードフィルタ36の出力電圧値に応じて調整してA/D変換器30、31へ出力する。

【0026】図4は、クロック位相検出部34の内部構成を示すブロック図である。クロック位相検出部34は、誤差検出部41、2乗回路42、微分回路43で構成され、各々は多ビットのデジタル信号の処理を行う。誤差検出部41は減算器41aから成り、等化器32のIc hの入出力信号の差分を算出し、誤差信号Eとして2乗回路42へ出力する。2乗回路42は乗算器から成り、誤差信号Eどうしを乗算して値E²を得る。

【0027】図5は、第1の実施の形態に係る多重無線装置が16値QAMの変調方式を採用していると仮定したときのIc h信号のアイパターンを示す。図中、クロック位相P0において正規の信号点が検出できるときに、クロック位相がP1にずれているとすると、誤差検出部41が検出する誤差信号Eは図5に示すような値となる。この誤差信号Eには正負が有り得るので、誤差信号Eを2乗する。図6は誤差信号Eの2乗値E²のグラフを示す。図6から分かるように、2乗値E²は、クロック位相に対して2次関数で表現され、クロック位相がクロック位相P0に近づくに従って小さくなる。したがって、2乗値E²が最小となるように、クロック再生回路35の発生クロックの位相を制御すればよいことが分かる。

【0028】そのために、微分回路43を、比較器43a、1クロック分遅延させるフリップフロップ43b、

排他的論理和回路 (EX-OR) 43c、1クロック分遅延させるフリップフロップ43dで構成する。比較器43aは、2乗値 E^2 の今回値 $(E_n)^2$ と前回値 $(E_{n-1})^2$ とを比較し、今回値 $(E_n)^2$ が前回値 $(E_{n-1})^2$ よりも大きいときに値1を排他的論理和回路43cへ出力し、今回値 $(E_n)^2$ が前回値 $(E_{n-1})^2$ よりも小さいときに値0を排他的論理和回路43cへ出力する。排他的論理和回路43cは、比較器43aからの出力が値1であるときに、排他的論理和回路43cの出力であるクロック位相誤差信号PEの前回値を反転させてクロック位相誤差信号PEの今回値として出力し、比較器43aからの出力が値0であるときに、クロック位相誤差信号PEの前回値をそのまま今回値として出力する。

【0029】クロック位相誤差信号PEを受け取ったクロック再生回路35では、クロック位相誤差信号PEが値1であれば、図6においてクロック位相を正の方向(右方向)へ移動し、クロック位相誤差信号PEが値0であれば、図6においてクロック位相を負の方向(左方向)へ移動する。

【0030】例えば、図6において、前回値 $(E_{n-1})^2$ に対して今回値 $(E_n)^2$ が検出されたとする。今回値 $(E_n)^2$ が前回値 $(E_{n-1})^2$ よりも大きいので、比較器43aの出力は値1となる。ここで、仮に、排他的論理和回路43cが前回、クロック位相誤差信号PEとして値1を出力していれば、排他的論理和回路43cは今回、クロック位相誤差信号PEとして値0を出力する。これにより、クロック位相が負の方向(左方向)へ移動され、次回値 $(E_{n+1})^2$ を得ることになる。この次回値 $(E_{n+1})^2$ は今回値 $(E_n)^2$ よりも小さいので、比較器43aの出力は値0となる。したがって、排他的論理和回路43cは次回、クロック位相誤差信号PEとして値0を出力する。これにより、クロック位相がまた負の方向(左方向)へ移動される。これが繰り返され、2乗値 E^2 が最小点(クロック位相P0対応)に至り、さらにそこを越えると、比較器43aの出力が値1となり、クロック位相誤差信号PEが値0から値1に反転して、クロック位相が正の方向(右方向)へ移動される。このようにして2乗値 E^2 が最小点(クロック位相P0対応)に収束する。

【0031】一方、図6において、前回値 $(E_{n-1})^2$ に対して今回値 $(E_n)^2$ が検出され、比較器43aの出力が値1となった場合に、仮に、排他的論理和回路43cが前回、クロック位相誤差信号PEとして値0を出力していれば、排他的論理和回路43cは今回、クロック位相誤差信号PEとして値1を出力する。これにより、クロック位相が正の方向(右方向)へ移動されてしまう。しかし、次回では、比較器43aの出力が値1となり、排他的論理和回路43cが今回、クロック位相誤差信号PEとして値1を出力しているので、排他的論理和回路43cは次回、クロック位相誤差信号PEとして値0を出

力する。これにより、クロック位相が負の方向(左方向)へ移動する。その後の動作は、上記と同じとなる。

【0032】以上のように、フェージングの発生やその強弱に無関係に、誤差検出部41が毎回検出する誤差信号Eを全て、クロック位相誤差信号PEとして使用する。そのため、深いフェージングが発生している場合でも、A/D変換用のクロックの位相補正が迅速に、かつ安定に行われることになる。

【0033】なお、図1に示したクロック再生回路1は図3のクロック再生回路35に対応し、図1に示したA/D変換回路2、3は図3のA/D変換器30、31に対応し、図1に示した等化回路4は図3の等化器32に対応し、図1に示したクロック位相検出回路5は図3のクロック位相検出部34に対応し、図1に示した差分検出手段5aは図4の誤差検出部41に対応し、図1に示した2乗手段5bは図4の2乗回路42に対応し、図1に示した位相調整手段5cは図4の微分回路43に対応する。

【0034】つぎに第2の実施の形態を説明する。第2の実施の形態の構成は、基本的に第1の実施の形態の構成と同じであるが、クロック位相検出部34の構成が一部異なっている。また、微分回路43およびクロック再生回路35が多ビット構成となっている。第2の実施の形態の説明では、第1の実施の形態の説明を流用し、同一構成部分には同一参照符号を付してその説明を省略する。

【0035】図7は第2の実施の形態に係るクロック位相検出部34の内部構成を示すブロック図である。第2の実施の形態では係数乗算回路44を追加する。係数乗算回路44は乗算器から成り、2乗回路42の出力値 E^2 と微分回路43の出力であるクロック位相誤差信号PEとの乗算を行い、値 $(E^2 \times PE)$ をクロック再生回路35へ出力する。

【0036】また、微分回路43は、2乗回路42の出力値 E^2 の描くカーブ(図6)において、出力値 E^2 の今回値における瞬時勾配(微分値)を求め、その瞬時勾配の値を反転させて得られる多ビット値をクロック位相誤差信号PEとして出力する。クロック再生回路35は、係数乗算回路44から送られた多ビットの値 $(E^2 \times PE)$ に基づき、クロック位相誤差信号PEが正值であれば、図6においてクロック位相を正の方向(右方向)へ、しかも、その絶対値の大きさが大きいほど大幅に移動し、クロック位相誤差信号PEが負値であれば、図6においてクロック位相を負の方向(左方向)へ、しかも、その絶対値の大きさが大きいほど大幅に移動する。

【0037】すなわち、係数乗算回路44を設けたことにより、2乗値 E^2 が大きいほど、クロック位相の補正量が大きく設定されるので、第1の実施の形態に比べ、クロック位相のより迅速な収束が可能となる。

【0038】つぎに第3の実施の形態を説明する。第3の実施の形態の構成は、基本的に第1の実施の形態の構成と同じであるが、クロック位相検出部34の構成が一部異なっている。第3の実施の形態の説明では、第1の実施の形態の説明を流用し、同一構成部分には同一参照符号を付してその説明を省略する。

【0039】図8は第3の実施の形態に係るクロック位相検出部34の内部構成を示すブロック図である。第3の実施の形態では、第1の実施の形態の2乗回路42の代わりに絶対値回路45を使用する。絶対値回路45は、インバータ45a、排他的論理和回路45bで構成する。

【0040】図9は、クロック位相に対する絶対値回路45の出力値 $|E|$ を示すグラフである。図9から分かるように、出力値 $|E|$ は、図6の2乗値 E^2 と同様に、クロック位相がクロック位相 P_0 に近づくに従って小さくなる。したがって、出力値 $|E|$ が最小となるように、クロック再生回路35の発生クロックの位相を制御すればよいことが分かる。

【0041】そのため、第3の実施の形態でも、第1の実施の形態と同様に、微分回路43によってクロック位相誤差信号 PE を決定する。つぎに第4の実施の形態を説明する。

【0042】第4の実施の形態は、図7に示す第2の実施の形態と図8に示す第3の実施の形態とを組み合わせたものである。図10は、第4の実施の形態に係るクロック位相検出部34の内部構成を示すブロック図である。すなわち、第4の実施の形態では、第2の実施の形態の2乗回路42の代わりに、第3の実施の形態の絶対値回路45を使用した構成となっている。動作は第2の実施の形態と同じとなる。

【0043】つぎに第5の実施の形態を説明する。第5の実施の形態の構成は、基本的に第1の実施の形態の構成と同じであるので、同一構成部分には同一参照符号を付してその説明を省略する。

【0044】図11は、第5の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。図中、等化回路32は、 I c h 等化回路32aと Q c h 等化回路32bとから成り、 I c h 等化回路32aには、 FIR フィルタ46、タップ係数更新部47が設けられる。タップ係数更新部47は、 I c h 信号から極性信号を受け取るとともに、後述の加算器50の出力から誤差信号を受け取り、これらに基づいてタップ係数を決定し、 FIR フィルタ46に設定する。 FIR フィルタ46は、 I c h 信号に対して、設定されたタップ係数を使用して等化処理を行う。また、 Q c h 側からの干渉成分をキャンセルする目的で、 FIR フィルタ48、タップ係数更新部49が設けられる。タップ係数更新部49は、 Q c h 信号から極性信号を受け取るとともに、加算器50の出力から誤差信号を受け取り、これらに基づいてタップ

係数を決定し、 FIR フィルタ48に設定する。 FIR フィルタ48は、 I c h 信号に対して、設定されたタップ係数を使用して等化処理を行う。加算器50は、 FIR フィルタ46による等化結果と FIR フィルタ48による等化結果とを加算して I c h 信号として出力する。この加算器50の出力は、 I c h 信号から Q c h 側の干渉成分がキャンセルされたデータとなっている。

【0045】クロック位相検出部34には、第1の実施の形態と同様に、等化器32の I c h 側の入力信号が遅延回路33を介して入力される。一方、第5の実施の形態では、 FIR フィルタ46の出力がクロック位相検出部34に入力される。クロック位相検出部34の動作は、第1の実施の形態と同様である。

【0046】フェージングが発生している場合、 Q c h 側の干渉成分が大きな値を持つ。一方、クロック位相ずれは、本来 FIR フィルタの直前および直後の各信号を監視してその度合いを知るべきものであって、直交干渉成分が除去された後の信号を監視してその度合いを知るべきものでない。つまり、 Q c h 側の干渉成分がキャンセルされた加算器50の出力と、等化器32の I c h 側の入力信号との差分に基づいて、クロック位相誤差を検出することは好ましくない。そこで、第5の実施の形態では、 Q c h 側の干渉成分がキャンセルされる前の FIR フィルタ46の出力と、等化器32の I c h 側の入力信号との差分に基づいて、クロック位相誤差を検出することにする。これにより、フェージングが発生している場合に、純粋なクロック位相誤差を検出することができる。

【0047】なお、第5の実施の形態のクロック位相検出部34を、第2乃至第4の実施の形態のいずれかに示されるようなクロック位相検出部と同じものにするようにしてもよい。

【0048】つぎに第6の実施の形態を説明する。まず第6の実施の形態の原理構成を、図2を参照して説明する。第6の実施の形態は、等化回路14の所定の2つのタップ係数を取り出し、それらの絶対値を合算する合算手段15aと、合算手段15aが合算した合算値が最小になるように、クロック再生回路11から出力されるクロック信号の位相を調整する位相調整手段15bとから構成される。

【0049】第6の実施の形態の詳しい構成は、基本的に図3に示した第1の実施の形態の構成と同じである。したがって、同一構成部分には同一参照符号を付してその説明を省略する。

【0050】図12は、第6の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。図中、等化器32はトランスバーサル等化器から構成され、そこで設定されているタップ係数 $\alpha_{1,1}$ 、 $\alpha_{1,2}$ が取り出され、クロック位相検出部51へ送られる。

【0051】図13はクロック位相検出部51の内部構

成を示す図である。クロック位相検出部 5 1 は加算器 5 2 から成り、タップ係数 α_{+1} 、 α_{-1} の各絶対値を合算してクロック位相誤差信号 P E 2 としてクロック再生回路 3 5 へ出力する。なお、加算器 5 2 にはそれぞれ 1 4 ビットから成るタップ係数 α_{+1} 、 α_{-1} が入力され、その合算値のうちの上位 4 ビットが、クロック再生回路 3 5 へ出力されるようにする。ここで、タップ係数 α_{+1} 、 α_{-1} は、中心タップ係数 α_0 に隣接する前後の係数であり、互いに逆の極性を有している。

【0052】一般に、クロック位相検出部 5 1 から出力されるクロック信号の位相が正規の信号点の位相に一致していれば、同一段の後方タップ係数および前方タップ係数の各値は 0 となり、一方、位相がずれると 0 以外の値をもつ。したがって、後方タップ係数および前方タップ係数のうちの一方のタップ係数を監視して、その値が 0 となるようにクロック位相の調整をすればよい。しかし、フェージングが発生していると、一方のタップ係数が 0 になっても、必ずしもクロック位相が正規の信号点の位相に一致していない現象が発生する。そこで、クロック再生回路 3 5 の発生するクロック信号の位相を、

【0053】このように、本発明ではクロック位相検出部 5 1 が、入力した合算値を全て使用してクロック再生回路 3 5 を制御するようにしており、かつ、フェージングにより発生する現象に対応したクロック位相制御を行うので、深いフェージングが発生している場合でも、A/D 変換用のクロックの位相補正が迅速に、かつ安定に行われることになる。

【0054】つぎに第 7 の実施の形態を説明する。第 7 の実施の形態の構成は、基本的に第 6 の実施の形態の構成と同じであるが、クロック位相検出部 5 1 の構成が一部異なっている。第 7 の実施の形態の説明では、第 6 の実施の形態の説明を流用し、同一構成部分には同一参照符号を付してその説明を省略する。

【0055】図 1 4 は第 7 の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。第 7 の実施の形態では、第 6 の実施の形態の加算器 5 2 の後に、減算器 5 3、平均化回路 5 4 を追加する。平均化回路 5 4 は、加算器 5 4 a、1 クロック分遅延させるフリップフロップ 5 4 b、ビットシフト回路 5 4 c から構成され、加算器 5 4 a とフリップフロップ 5 4 b とにより、減算器 5 3 の出力値を積分し、ビットシフト回路 5 4 c がシフト量に応じた値により除算を行う。その結果、平均化回路 5 4 は、減算器 5 3 の出力値の平均化を行っている。減算器 5 3 は、平均化回路 5 4 からの平均値と加算器 5 2 の出力値との差分をクロック位相誤差信号 P E 2 としてクロック再生回路 3 5 へ出力する。

【0056】一般に、等化器 3 2 も A/D 変換用のクロ

ックの位相のずれに対して補正動作を行い、また、クロック位相検出部 5 1 の出力するクロック位相誤差信号 P E 2 に従ってクロック再生回路 3 5 がクロック位相の調整を行うので、2 重の制御ループができてしまい、安定したクロック位相の調整ができないという問題が発生する。そこで、第 7 の実施の形態では、減算器 5 3、平均化回路 5 4 を追加することにより、等化器 3 2 の制御速度よりも遅い制御速度によりクロック位相の調整を行うようにしている。これにより、安定したクロック位相の調整が可能となる。

【0057】つぎに第 8 の実施の形態を説明する。第 8 の実施の形態は、図 7 に示す第 2 の実施の形態と図 1 4 に示す第 7 の実施の形態とを組み合わせたものである。第 8 の実施の形態の構成において、第 2 の実施の形態および第 7 の実施の形態の構成と同じ部分には同一の参照符号を付してその説明を省略する。

【0058】図 1 5 は、第 8 の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。第 8 の実施の形態では、2 つのクロック位相検出部 3 4、5 5 を設ける。クロック位相検出部 3 4 は、第 2 の実施の形態のクロック位相検出部 3 4 と同一構成であり、同一の動作をする。クロック位相検出部 5 5 は、第 7 の実施の形態のクロック位相検出部 5 4 とほぼ同一の構成であるが、減算器 5 3 の出力部と平均化回路 5 4 の入力部との間に、新たに加算器 5 6 を設ける。加算器 5 6 には、クロック位相検出部 3 4 の微分回路 4 3 の出力値 P E または係数乗算回路 4 4 の出力値 ($E^1 \times P E$) が多ビットの形態で送られる。減算器 5 3 の出力値 P E 2 は、第 7 の実施の形態と同様にクロック再生回路 3 5 へ送られる。

【0059】このように、第 2 の実施の形態のクロック位相検出部 3 4 で得られた出力値 P E または出力値 ($E^1 \times P E$) を加算器 5 6 において加算することにより、第 7 の実施の形態に比べ、フェージングに対するクロック位相の制御の安定度が向上する。

【0060】つぎに第 9 の実施の形態を説明する。第 9 の実施の形態は、図 3 に示す第 1 の実施の形態と図 1 2 に示す第 6 の実施の形態とを組み合わせたものである。第 9 の実施の形態の構成において、第 1 の実施の形態および第 6 の実施の形態の構成と同じ部分には同一の参照符号を付してその説明を省略する。

【0061】図 1 6 は、第 9 の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。第 9 の実施の形態では選択部 5 7 が設けられ、選択部 5 7 に、第 1 の実施の形態のクロック位相検出部 3 4 の出力であるクロック位相誤差信号 P E と、第 6 の実施の形態のクロック位相検出部 5 1 の出力であるクロック位相誤差信号 P E 2 とが入力される。また、D E M 同期信号等の同期状態／非同期状態を表す信号を基にした切替信号が選択部 5 7 へ入力される。選択部 5 7 は切替信号に従い、

同期引き込み時にはクロック位相誤差信号 P E を選択してクロック再生回路 3 5 へ出力し、同期時にはクロック位相誤差信号 P E 2 を選択してクロック再生回路 3 5 へ出力する。

【 0 0 6 2 】クロック位相誤差信号 P E を使用すると、クロック位相の最適位置への収束が速いが、精度が悪い。一方、クロック位相誤差信号 P E 2 を使用すると、クロック位相の最適位置への収束が遅いが、精度が良い。そのため、精度が悪くとも速く収束させたい同期引き込み時には、クロック位相誤差信号 P E を選択し、精度が求められる同期時にはクロック位相誤差信号 P E 2 を選択するようにする。

【 0 0 6 3 】なお、第 9 の実施の形態では、選択部 5 7 に、第 1 の実施の形態のクロック位相検出部 3 4 の出力であるクロック位相誤差信号 P E と、第 6 の実施の形態のクロック位相検出部 5 1 の出力であるクロック位相誤差信号 P E 2 とが入力されるが、これに代わって、クロック位相誤差信号 P E として、第 2 乃至第 5 の実施の形態のうちのいずれかのクロック位相検出部 3 4 が出力するクロック位相誤差信号 P E を使用し、クロック位相誤差信号 P E 2 として、第 7 の実施の形態のクロック位相検出部 5 1 が出力するクロック位相誤差信号 P E 2 を使用するようにしてもよい。

【 0 0 6 4 】つぎに第 1 0 の実施の形態を説明する。図 1 7 は、第 1 0 の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。第 1 0 の実施の形態の構成は、基本的に図 1 2 に示す第 6 の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付してその説明を省略する。

【 0 0 6 5 】第 1 0 の実施の形態では、第 6 の実施の形態とくらべ、等化器 5 8 およびクロック位相検出部 5 9 の構成が異なっている。すなわち、等化器 5 8 はディシジョンフィードバックイコライザ (D F E ; Decision Feedback Equalizer) 5 8 a とリニアイコライザ (L E ; Linear Equalizer) 5 8 b とから構成される。ディシジョンフィードバックイコライザ 5 8 a は後方タップしか備えていない構造となっているので、リニアイコライザ 5 8 b によって前方タップを補完するようにしている。こうした構成の等化器 5 8 からタップ係数 α_{+1} 、 α_{-1} を取り出し、クロック位相検出部 5 9 へ送る。なお、こうした構成の等化器 5 8 では、最小位相推移形フェージングの発生によって、後方タップ係数 (+ 側) の絶対値が大きくなる性質があり、こうした最小位相推移形フェージングの発生時に、タップ係数 α_{+1} とタップ係数 α_{-1} の各絶対値の大きさの間にアンバランスが生じる。

【 0 0 6 6 】図 1 8 はクロック位相検出部 5 9 の内部構成を示すブロック図である。この構成は、図 1 4 に示す第 7 の実施の形態のクロック位相検出部 5 1 の構成と基本的に同じであるので、同一構成部分には同一の参照符号を付してその説明を省略する。

【 0 0 6 7 】第 1 0 の実施の形態のクロック位相検出部 5 9 では、ビットシフト回路 6 0 が追加される。前述のように、最小位相推移形フェージングの発生によって、タップ係数 α_{+1} の絶対値がタップ係数 α_{-1} の絶対値よりも大きくなり、両者の間でバランスを欠いているので、ビットシフト回路 6 0 がタップ係数 α_{+1} に対して、ビットシフト量に応じた値の除算を施し、これによってタップ係数 α_{+1} とタップ係数 α_{-1} との間のバランスを確保するようにする。

【 0 0 6 8 】つぎに第 1 1 の実施の形態を説明する。第 1 1 の実施の形態の構成は、基本的に第 1 0 の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付してその説明を省略する。

【 0 0 6 9 】図 1 9 は、第 1 1 の実施の形態に係るクロック位相検出部 5 9 の内部構成を示すブロック図である。第 1 1 の実施の形態は、第 1 0 の実施の形態とくらべ、クロック位相検出部 5 9 に入力されるタップ係数に違いがあり、第 1 1 の実施の形態では、タップ係数 α_{+n} とタップ係数 α_{-n} が入力される。n は 2 以上の整数であり、したがって、中心のタップ係数 α_0 に隣接するタップ係数 α_{+1} 、 α_{-1} ではなく、もっと中心タップ係数 α_0 から離れたタップ係数を使用するようにする。中心タップ係数 α_0 から離れたタップ係数 α_{+n} 、 α_{-n} は、アイバターンにおいて正規の信号から離れた位置の I c h 信号に関連しており、こうしたタップ係数 α_{+n} 、 α_{-n} を使用することにより、クロック位相の補正の精度を上げることが可能となる。これはフェージング時において一層効果的である。

【 0 0 7 0 】つぎに第 1 2 の実施の形態を説明する。第 1 2 の実施の形態の構成は、基本的に第 1 0 の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付してその説明を省略する。

【 0 0 7 1 】図 2 0 は、第 1 2 の実施の形態に係るクロック位相検出部 5 9 の内部構成を示すブロック図である。第 1 2 の実施の形態では制御部 6 1 を新たに設ける。制御部 6 1 にはタップ係数 α_{+1} 、 α_{+1} 、 α_{-1} 、 α_{-1} が入力され、制御部 6 1 の出力はビットシフト回路 6 0 へ送られる。制御部 6 1 は、絶対値化回路 6 1 a ~ 6 1 d、加算器 6 1 e、6 1 f、減算器 6 1 g から構成される。タップ係数 α_{+1} 、 α_{+1} は絶対値化回路 6 1 a、6 1 b でそれぞれ絶対値にされ、それらの絶対値が加算器 6 1 e で加算され、減算器 6 1 g へ送られる。同様に、タップ係数 α_{-1} 、 α_{-1} は絶対値化回路 6 1 c、6 1 d でそれぞれ絶対値にされ、それらの絶対値が加算器 6 1 f で加算され、減算器 6 1 g へ送られる。減算器 6 1 g は、加算器 6 1 e の出力値から加算器 6 1 f の出力値を減算し、その結果得られた値をビットシフト回路 6 0 へ制御信号として送る。ビットシフト回路 6 0 は、制御信号が 0 であればビットシフトを行わずタップ係数 α_{+1} をそのまま出力し、制御信号が正の値であれば、つまり、タッ

プ係数 α_{+1} , α_{-1} の各絶対値の和が、タップ係数 α_{+1} , α_{-1} の各絶対値の和よりも大きいときには、ビットシフトを行ってタップ係数 α_{+1} を小さくする。

【0072】すなわち、一般に、最小位相推移形フェージングが発生している場合には、後方タップ係数（＋側）の絶対値が大きな値になり、非最小位相推移形フェージングが発生している場合には、前方タップ係数（－側）の絶対値が大きな値になる。そうした場合には、タップ係数 α_{+1} , α_{-1} の各絶対値の単純な和を利用したクロック位相制御では正確なクロック位相の補正はできないので、最小位相推移形フェージングが発生している状態を検出したときには、ビットシフト回路 60 を動作させ、これにより、タップ係数 α_{+1} とタップ係数 α_{-1} とのバランスをとるようにする。

【0073】つぎに第 13 の実施の形態を説明する。第 13 の実施の形態の構成は、基本的に第 10 の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付してその説明を省略する。

【0074】図 21 は、第 13 の実施の形態に係るクロック位相検出部 59 の内部構成を示すブロック図である。第 13 の実施の形態では変換部 62 を新たに設ける。変換部 62 は AND 回路から構成され、タップ係数 α_{-1} および同期信号が入力され、その出力が加算器 52 へ送られる。すなわち、同期状態にあるときには第 10 の実施の形態と同じように、タップ係数 α_{+1} が加算器 52 へ送られるが、同期引き込み時のような非同期状態には、タップ係数 α_{-1} は加算器 52 へ送られず、加算器 52 には信号 0 が出力される。これによって、同期引き込み時のような非同期状態には、一方のタップ係数だけを監視して、その値が 0 になるようにクロック位相制御が行われ、この結果、同期の確立が早く実現する。なお、等化器 58 を構成するディシジョンフィードバックイコライザ 58a 側のタップ係数 α_{+1} とリニアイコライザ 58b 側のタップ係数 α_{-1} とでは、ディシジョンフィードバックイコライザ 58a 側のタップ係数 α_{+1} の方が収束が速いので、非同期状態には、タップ係数 α_{+1} だけを監視し、その値が 0 になるようにクロック位相制御が行われる。

【0075】つぎに第 14 の実施の形態を説明する。第 14 の実施の形態の構成は、図 24 に示した多重無線装置の受信部と同じ方式の構成となっている。

【0076】図 22 は第 14 の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。図中、傾き判定部 64 は、I c h 信号の傾き、つまり I c h 信号が時間的に増加方向にあるか、減少方向にあるかを検出する。誤差検出部 65 は減算器から成り、等化器 63 の I c h の入力信号と出力信号との差を算出することで、等化器 63 の入出力信号間誤差を検出する。クロック位相演算部 66 は乗算器から成り、傾き判定部 64 の出力と誤差検出部 65 の出力とを乗算し、A/D 変換

用クロックの位相ずれ情報（位相成分）を出力する。信号判定部 67 には、等化器 63 へ入力する前の I c h 信号と Q c h 信号とが入力され、信号判定部 67 は、クロック位相演算部 66 から出力された位相ずれ情報（位相成分）が信頼に足る情報であるかを判定する。詳しくは図 23 を参照して後述する。

【0077】選択部 68 はフリップフロップから成り、信号判定部 67 で、クロック位相演算部 66 から出力された位相ずれ情報（位相成分）が信頼に足る情報であると判定されたときだけ、その位相ずれ情報を出力し、それ以外のときには前回の位相ずれ情報を出力するようにする。

【0078】図 23 は信号判定部 67 の内部構成を示すブロック図である。図中、I c h 側入力信号は、2 つのフリップフロップ 67a, 67b を経て ROM 67c に入力される。フリップフロップ 67a, 67b はそれぞれ 1 クロック分の遅延を行い、したがって、ROM 67c には、連続する 3 つのクロックタイミングでの I c h 信号の値が入力される。これを基に、ROM 67c は、I c h 信号が単純かつ急峻な増加または減少状態にあるか否かを判断し、I c h 信号が単純かつ急峻な増加または減少状態にあるときに信号「1」を AND 回路 67g へ出力する。同様に、Q c h 側入力信号は、2 つのフリップフロップ 67d, 67e を経て ROM 67f に入力される。フリップフロップ 67d, 67e もそれぞれ 1 クロック分の遅延を行い、ROM 67f には、連続する 3 つクロックタイミングでの Q c h 信号の値が入力される。これを基に、ROM 67f は、Q c h 信号が単純かつ急峻な増加または減少状態にあるか否かを判断し、Q c h 信号が単純かつ急峻な増加または減少状態にあるときに信号「1」を AND 回路 67g へ出力する。

【0079】すなわち、フェージングが発生すると直交干渉が発生するので、クロック位相の補正は、I c h 信号の状態だけを監視していたのでは正確に行えない。そこで、Q c h 信号の状態も監視し、両者の監視結果に基づき選択部 68 を制御しようとするものであり、I c h 信号が単純かつ急峻な増加または減少状態にあり、並びに Q c h 信号が単純かつ急峻な増加または減少状態にある場合にだけ、AND 回路 67g が信号「1」を選択部 68 に出力し、これによって、クロック位相演算部 66 から出力された信頼に足る位相ずれ情報（位相成分）がクロック再生部へ出力され、A/D 変換用クロックの位相の調整に使用される。

【0080】

【発明の効果】以上説明したように本発明では、差分検出手段によって、等化回路の入力信号と出力信号との差分を検出し、その差分を 2 乗するか、または絶対値化する。そうして得られた値を監視しながら、位相調整手段が、クロック再生回路を制御して、クロック再生回路から出力されるクロック信号の位相を調整する。

【0081】このように、差分検出手段が検出した差分を全て使用してクロック再生回路を制御するようにしており、したがって、深いフェージングが発生している場合でも、A/D変換回路に送られるA/D変換用のクロック信号の位相補正が迅速に、かつ安定に行われ得る。

【0082】また、合算手段によって、等化回路の所定の2つのタップ係数を取り出し、それらの絶対値を合算する。得られた合算値を監視しながら、位相調整手段が、クロック再生回路を制御して、クロック再生回路から出力されるクロック信号の位相を調整する。

【0083】このように、等化回路の所定の2つのタップ係数の各絶対値の合算値を利用し、しかも合算値を全て使用してクロック再生回路を制御するようにしており、したがって、深いフェージングが発生している場合でも、A/D変換回路に送られるA/D変換用のクロック信号の位相補正が迅速に、かつ安定に行われ得る。

【図面の簡単な説明】

【図1】本発明の第1の原理説明図である。

【図2】本発明の第2の原理説明図である。

【図3】第1の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。

【図4】第1の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図5】第1の実施の形態に係る多重無線装置が16値QAMの変調方式を採用していると仮定したときのIc h信号のアイパターンを示す図である。

【図6】誤差信号Eの2乗値 E^2 を表すグラフである。

【図7】第2の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図8】第3の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図9】クロック位相に対する絶対値回路の出力値 $|E|$ を示すグラフである。

【図10】第4の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図11】第5の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。

【図12】第6の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。

【図13】第6の実施の形態に係るクロック位相検出部の内部構成を示す図である。

【図14】第7の実施の形態に係るクロック位相検出部の内部構成を示す図である。

【図15】第8の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。

【図16】第9の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。

【図17】第10の実施の形態に係る多重無線装置の受信部の構成を示すブロック図である。

【図18】第10の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図19】第11の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図20】第12の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図21】第13の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図22】第14の実施の形態に係るクロック位相検出部の内部構成を示すブロック図である。

【図23】第14の実施の形態に係る信号判定部の内部構成を示すブロック図である。

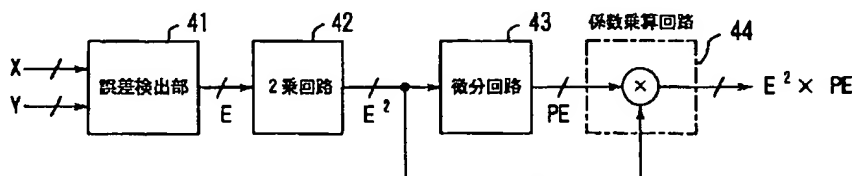
【図24】従来の多重無線装置の受信部の構成を示すブロック図である。

【図25】従来のクロック位相検出部の内部構成を示すブロック図である。

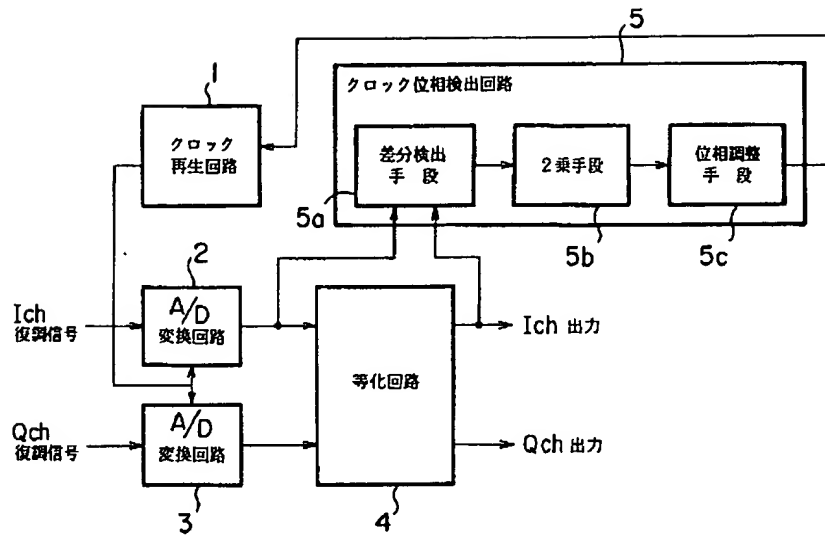
【符号の説明】

- 1 クロック再生回路
- 2 A/D変換回路
- 3 A/D変換回路
- 4 等化回路
- 5 クロック位相検出回路
- 5 a 差分検出手段
- 5 b 2乗手段
- 5 c 位相調整手段
- 11 クロック再生回路
- 12 A/D変換回路
- 13 A/D変換回路
- 14 等化回路
- 15 クロック位相検出回路
- 15 a 合算手段
- 15 b 位相調整手段

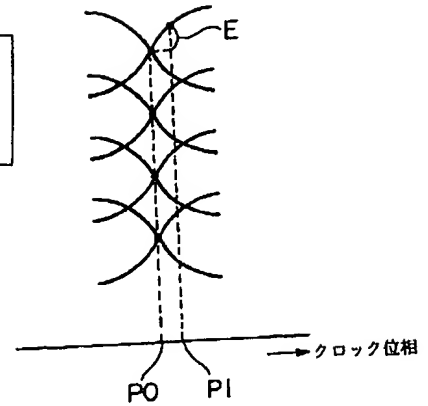
【図7】



【図 1】



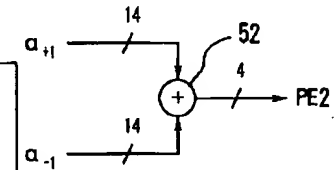
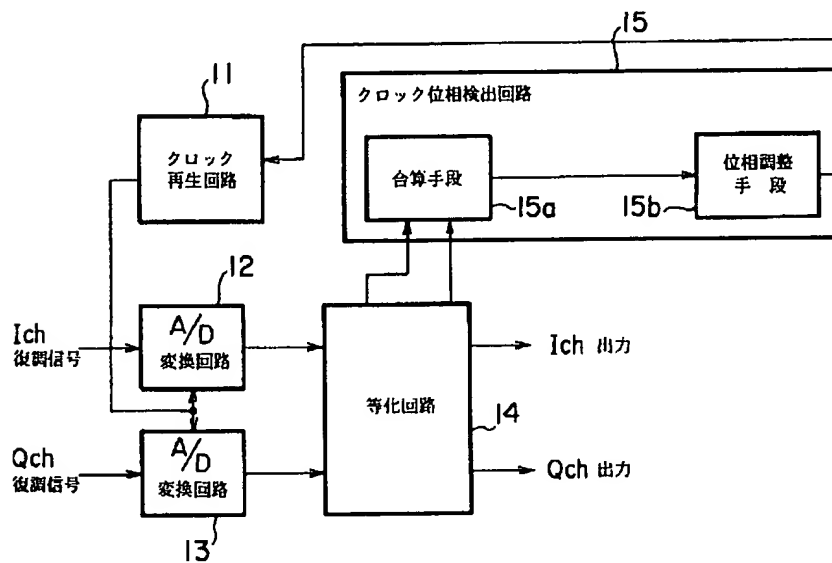
【図 5】



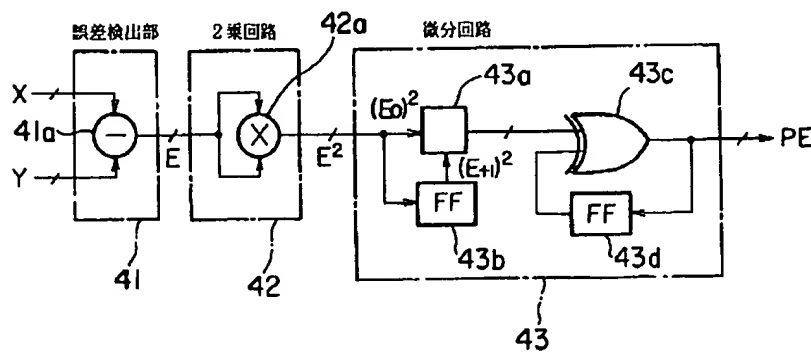
【図 13】

51

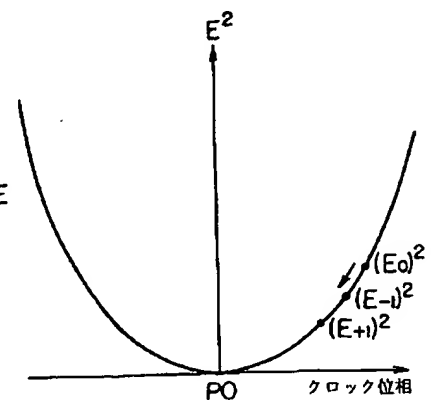
【図 2】



【図 4】

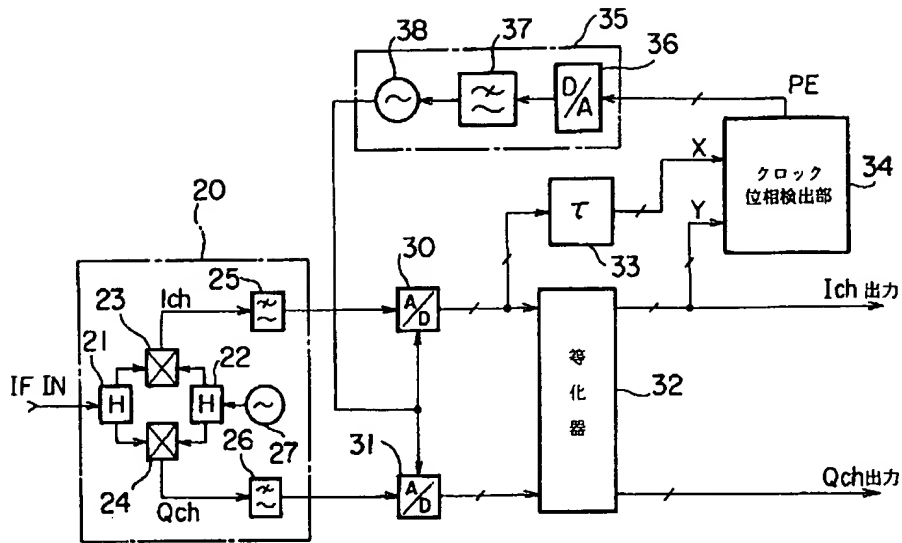


【図 6】

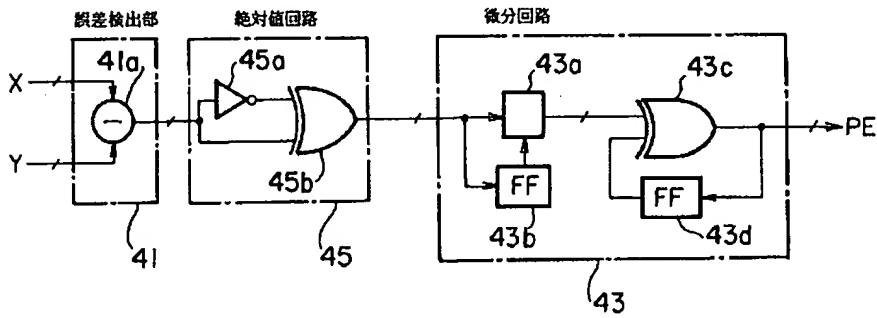


34

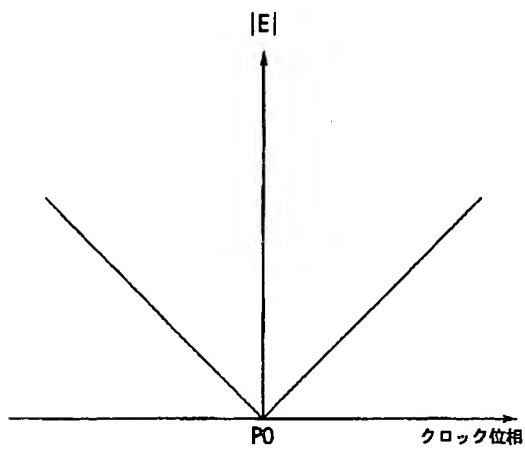
【図 3】



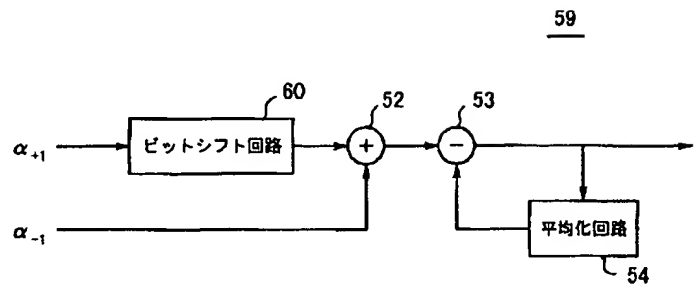
【図 8】



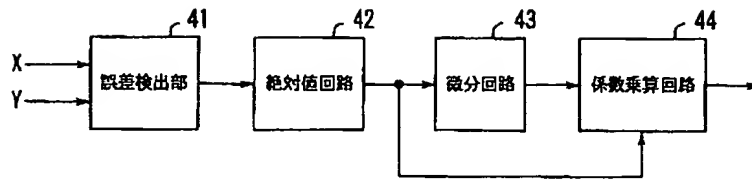
【図 9】



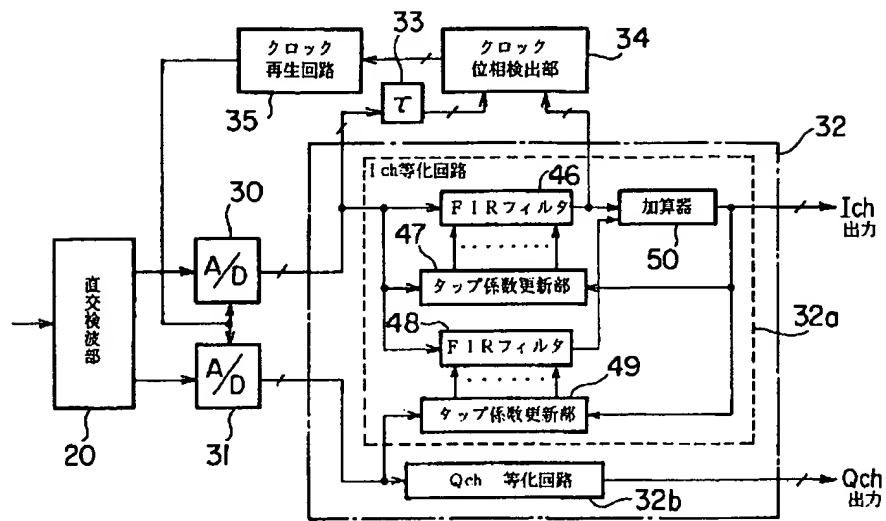
【図 18】



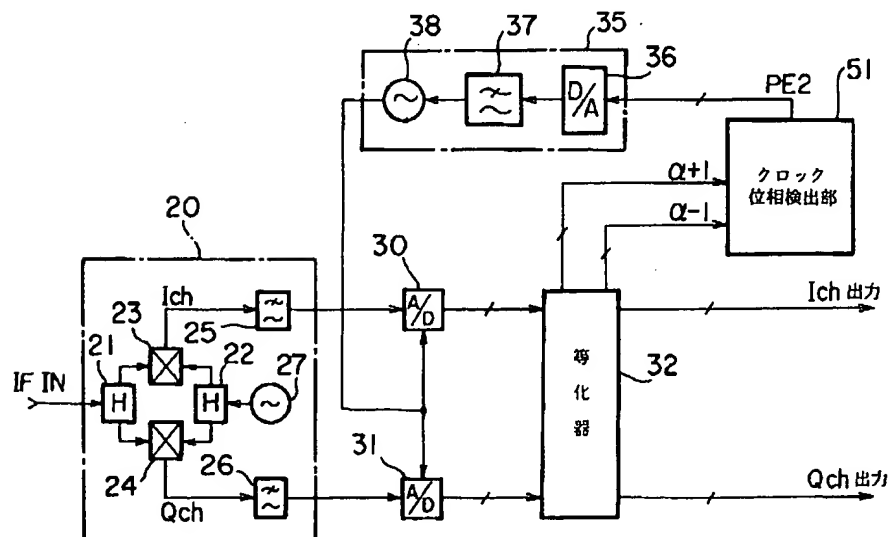
【図 10】



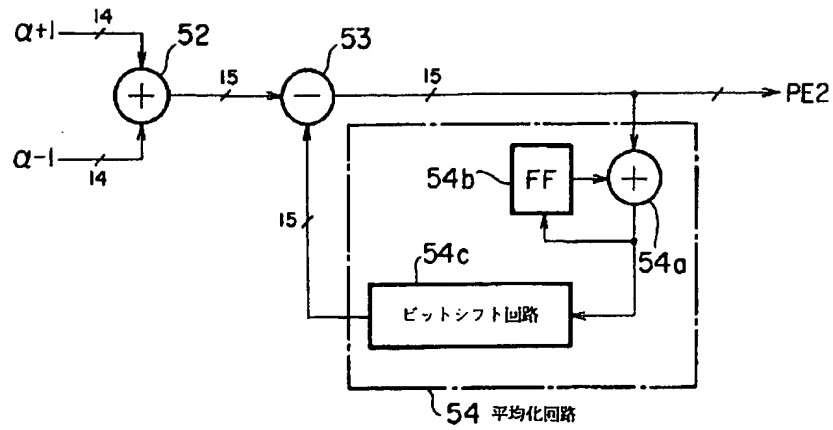
【図 11】



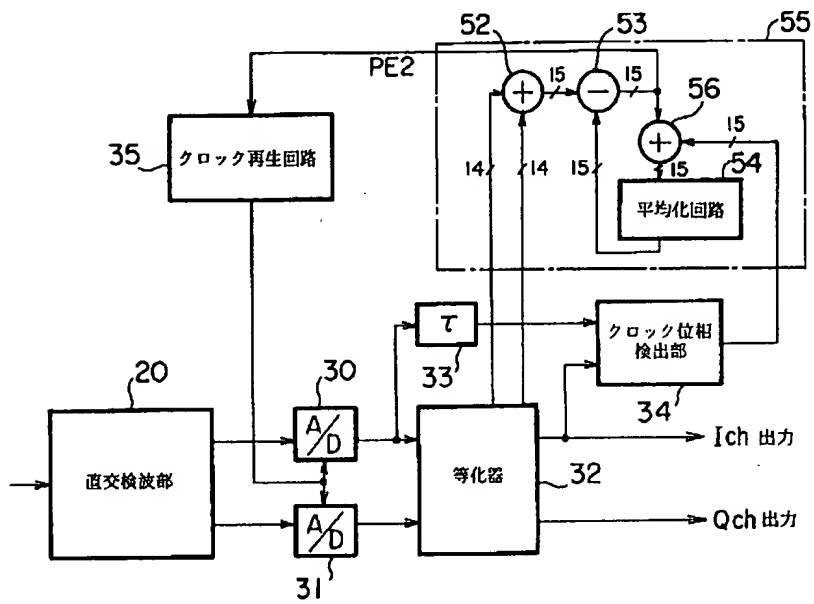
【図 12】



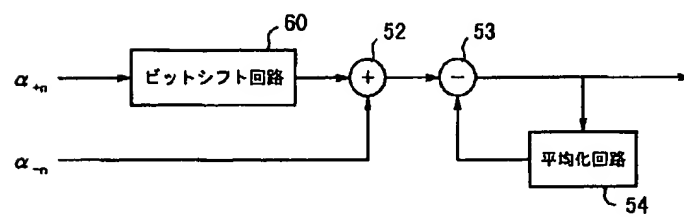
【図 1 4】



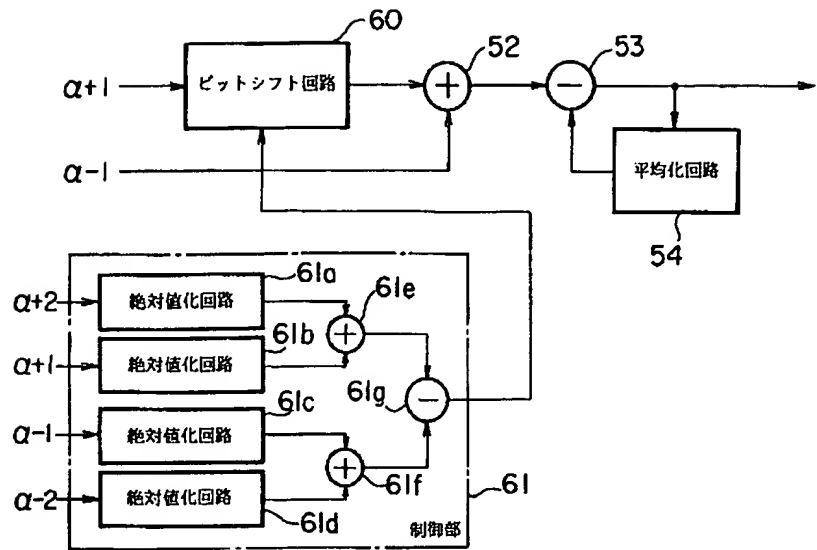
【図 1 5】



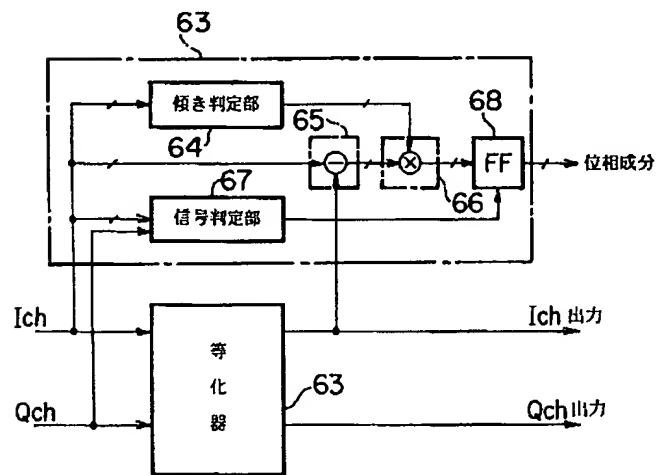
【図 1 9】



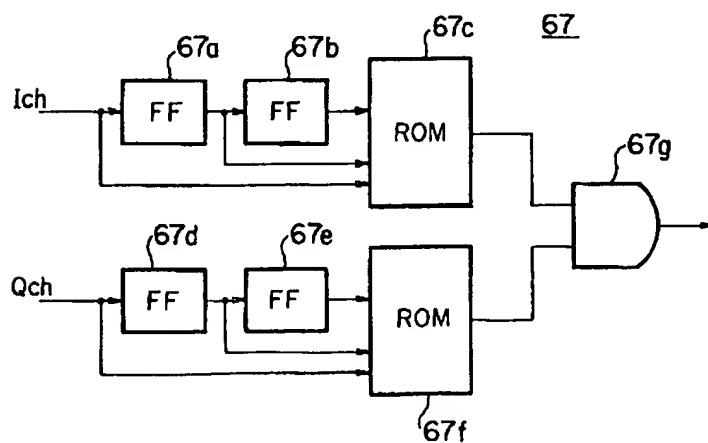
【図 2 0】



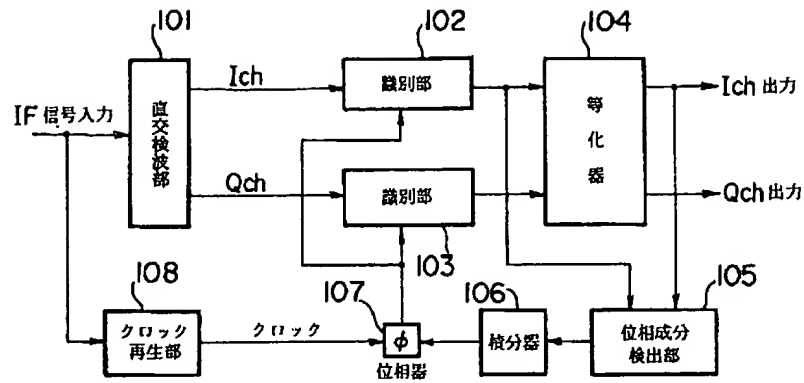
【図 2 2】



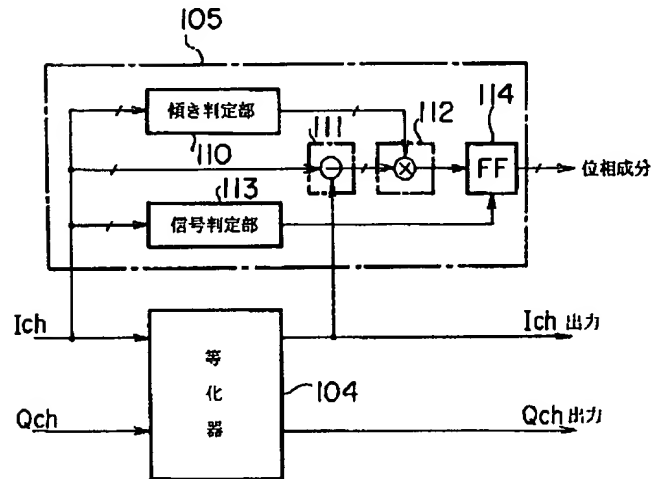
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

(72) 発明者 岩松 隆則
 神奈川県川崎市中原区上小田中 4 丁目 1 番
 1 号 富士通株式会社内